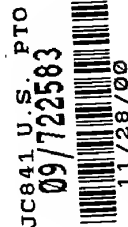


#2 4-24-01
PATENT
0465-0758P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Jun Sik LEE
Appl. No.: NEW Group: Unknown
Filed: November 28, 2000 Examiner: UNKNOWN
For: METHOD FOR FABRICATING CAPACITOR OF
SEMICONDUCTOR DEVICE



LETTER

Assistant Commissioner for Patents
Washington, DC 20231

November 28, 2000

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	2000-47542	August 17, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Gary D. Yacura, #35,416

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

GDY/MSR:ewd
0465-0758P

Attachment

Jin Sik LEE
Filed: 11/28/00
Atty Docket 0465 0758P
BSKB
(703) 205-8000

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

JC841 U.S. PTO
09/722583
11/28/00

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 47542 호
Application Number

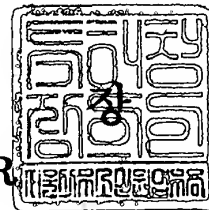
출원년월일 : 2000년 08월 17일
Date of Application

출원인 : 현대전자산업주식회사
Applicant(s)

2000 년 09 월 26 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.08.17
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 커패시터 제조방법
【발명의 영문명칭】	METHOD FOR FABRICATING A CAPACITOR OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-057814-0
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-057815-7
【발명자】	
【성명의 국문표기】	이준식
【성명의 영문표기】	LEE, Jun Sik
【주민등록번호】	611118-1548619
【우편번호】	360-210
【주소】	충청북도 청주시 상당구 율량동 660-44 성원아파트 102동 805호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강용복 (인) 대리인 김용인 (인)

【수수료】

【기본출원료】	19	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	330,000		원	
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

하부전극의 손실을 최소화하여 공정 수율을 향상시키기에 알맞은 반도체소자의 커패시터 제조방법을 제공하기 위한 것으로써, 반도체소자의 커패시터 제조방법은 반도체 기판의 일영역에 도전영역을 형성하는 단계, 상기 도전영역에 콘택홀을 갖는 층간절연막을 형성하는 단계, 상기 콘택홀내에 콘택플러그를 형성하는 단계, 상기 콘택플러그 및 그에 인접한 상기 층간절연막이 드러나도록 상기 층간절연막의 일영역상에 절연막 패턴을 형성하는 단계, 상기 콘택플러그와 상기 절연막 패턴을 포함한 상기 전면에 배리어막과 제 1 도전층을 차례로 증착하는 단계, 상기 절연막 패턴 사이의 상기 콘택플러그 상부 영역에 감광막을 형성하는 단계, 상기 감광막을 마스크로 상기 절연막 패턴상의 상기 제 1 도전층과 상기 배리어막을 차례로 제거하여 하부전극과 배리어막을 형성하는 단계, 상기 하부전극과 반응하여 휘발성을 나타내지 않는 식각가스로 상기 감광막을 제거하는 단계, 상기 절연막 패턴을 제거하는 단계, 상기 하부전극과 상기 배리어막 표면상에 유전체막과 상부전극을 차례로 형성하는 단계를 포함함을 특징으로 한다.

【대표도】

도 2e

【색인어】

커패시터

【명세서】

【발명의 명칭】

반도체소자의 커패시터 제조방법{METHOD FOR FABRICATING A CAPACITOR OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래에 따른 반도체소자의 커패시터 제조방법을 나타낸 공정단면도

도 2a 내지 도 2e는 본 발명에 따른 반도체소자의 커패시터 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

101 : 층간절연막 102 : 콘택플러그

103 : 질화막 104 : 산화막

105 : 베리어막 106 : 도전층

106a : 하부전극 107 : 감광막

108 : 고유전막 109 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체소자에 대한 것으로, 특히 반도체소자의 커패시터 제조방법에 관한 것이다.

- <10> 디램의 집적도가 증가함에 따라 칩 면적이 감소하게 되고, 이에 따라서 트랜지스터와 커패시터의 면적도 감소하게 되었다.
- <11> 이때 커패시터는 좁은 면적에서 좀 더 많은 용량을 얻기 위해서 고유전막을 사용하게 되었다.
- <12> 고유전막으로는 Ta_2O_5 나 $BST(Ba_xSr_{1-x}TiO_3)$ 을 사용할 수 있는데 이러한 고유전막을 커패시터에 사용하기 위해서는 내산화성 및 내열성에 견디는 하부전극을 사용하여야 한다.
- <13> 이와 같은 하부전극에는 Pt(Platinum)나 Ir(Iridium)이나 Ru(Ruthenium)나 이것들의 산화물 계통의 물질들이 있다.
- <14> 상기와 같은 하부전극 물질중 화학기상 증착법으로 증착이 가능하고 구조 형성을 위한 식각이 용이한 물질로 Ru나 이것의 산화물인 RuO_2 가 사용된다.
- <15> 이때 구조 형성을 위한 식각은 정해진 면적에서 보다 큰 커패시턴스를 확보하기 위해서 오목한(concave) 구조로 형성한다.
- <16> 상기에서 오목한 구조 형성 방법으로 Pt를 사용할 수도 있는데 Pt는 화학적 기계적 증착법으로 증착할 때 Ru보다 단가가 비싸다는 단점이있다.
- <17> 이하에서는 Ru나 이것의 산화물인 RuO_2 나 Ru와 합금된 금속물질을 하부전극으로 사용하여 커패시터를 제조하는 종래 기술에 대하여 설명한다.
- <18> 도 1a 내지 도 1e는 종래에 따른 반도체소자의 커패시터 제조방법을 나타낸 공정단면도이다.
- <19> 종래 반도체소자의 커패시터 제조방법은 먼저, 도면에는 도시되지 않았지만 반도체

기판의 일영역에 게이트산화막과 게이트전극을 적층 형성하고, 상기 게이트전극 양측의 반도체기판내에 소오스영역과 드레인영역을 형성한다.

- <20> 이후에 소오스영역이나 드레인영역에 콘택홀을 갖도록 도 1a와 같이 층간절연막(11)을 형성한다.
- <21> 이후에 상기 콘택홀을 포함한 층간절연막(11)상에 폴리실리콘을 증착한다.
- <22> 그리고 상기 폴리실리콘층을 연마하여 콘택홀내에 콘택플러그(12)를 형성한다.
- <23> 이후에 상기 콘택플러그(12)를 포함한 전면에 질화막(13)을 증착하고, 상기 질화막(13)상에 산화막(14)을 증착한다.
- <24> 다음에 도 1b에 도시한 바와 같이 사진 식각공정으로 콘택플러그(12)와 그에 인접한 층간절연막(11)이 노출되도록 산화막(14)과 질화막(13)을 차례로 식각한다.
- <25> 그리고 도 1c에 도시한 바와 같이 산화막(14)과 질화막(13)을 포함한 콘택플러그(12)와 층간절연막(11)상에 200Å 정도의 두께를 갖도록 베리어막(15)을 증착하고, 베리어막(15)상에 200Å 정도의 두께를 갖도록 도전층(16)을 증착한다.
- <26> 이때 상기 도전층(16)은 Ru나 이의 산화물인 RuO_2 나 Ru와 합금된 금속물질로 형성한다.
- <27> 상기에서 베리어막(15)은 콘택홀내의 콘택플러그(12)상에만 형성할 수도 있다.
- <28> 이후에 산화막(14) 사이의 도전층(16)상부를 포함한 전면에 감광막(17)을 도포하고, 상기 산화막(14)상의 도전층(16) 상부와 산화막(14) 사이의 도전층(16) 측면이 드러나도록 감광막(17)을 에치백한다.
- <29> 다음에 감광막(17)을 마스크로 상기 산화막(14)상의 상기 도전층(16)과 베리어막

(15)을 차례로 제거하여 도 1d에 도시한 바와 같이 서로 격리된 U자 모양의 베리어막 (15)과 하부전극(16a)을 형성한다.

- <30> 이와 같이 하부전극(16a)을 서로 격리시켜서 셀의 분리가 이루어지도록 한다.
- <31> 상기에서 하부전극(16a)의 식각은 $\text{Ar} + \text{Cl}_2$ 플라즈마를 이용하여 실시한다.
- <32> 이후에 O_2 플라즈마 가스를 사용하여 상기 감광막(17)을 제거한다.
- <33> 이때 하부전극(16a)을 구성하는 Ru나 RuO_2 이 O_2 가스가 반응하여 RuO_4 의 휘발성 가스를 생성하여 하부전극(16a)이 손상될 수 있다.
- <34> 다음에 도 1e에 도시한 바와 같이 상기 하부전극(16a) 사이의 산화막(14)과 질화막(13)을 차례로 제거하고, 하부전극(16a)을 포함한 전면에 고유전막(18)과 도전층을 차례로 형성한 후에 이웃하는 하부전극(16a)상의 도전층과 고유전막(18)이 격리되도록 차례로 제거하여 상부전극(19)과 고유전막(18)과 하부전극(16a)으로 구성된 U자 모양의 커패시터를 완성한다.

【발명이 이루고자 하는 기술적 과제】

- <35> 상기와 같은 종래 반도체소자의 커패시터 제조방법은 다음과 같은 문제가 있다.
- <36> Ru나 RuO_2 로 구성된 하부전극을 U자'모양으로 형성하기 위한 마스크로 사용된 감광막을 O_2 플라즈마 가스로 제거할 때 O_2 가스와 하부전극과 화학반응을 일으켜서 하부전극이 소실되어 공정 수율이 떨어지는 문제가 발생된다.
- <37> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로 특히, 하부전극의 손실을 최소화하여 공정 수율을 향상시키기에 알맞은 반도체소자의 커패시터 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<38> 상기와 같은 목적을 달성하기 위한 본 발명 반도체소자의 커패시터 제조방법은 반도체기판의 일영역에 도전영역을 형성하는 단계, 상기 도전영역에 콘택홀을 갖는 층간절연막을 형성하는 단계, 상기 콘택홀내에 콘택플러그를 형성하는 단계, 상기 콘택플러그 및 그에 인접한 상기 층간절연막이 드러나도록 상기 층간절연막의 일영역상에 절연막 패턴을 형성하는 단계, 상기 콘택플러그와 상기 절연막 패턴을 포함한 상기 전면에 베리어막과 제 1 도전층을 차례로 증착하는 단계, 상기 절연막 패턴 사이의 상기 콘택플러그 상부 영역에 감광막을 형성하는 단계, 상기 감광막을 마스크로 상기 절연막 패턴상의 상기 제 1 도전층과 상기 베리어막을 차례로 제거하여 하부전극과 베리어막을 형성하는 단계, 상기 하부전극과 반응하여 휘발성을 나타내지 않는 식각가스로 상기 감광막을 제거하는 단계, 상기 절연막 패턴을 제거하는 단계, 상기 하부전극과 상기 베리어막 표면에 유전체막과 상부전극을 차례로 형성하는 단계를 포함함을 특징으로 한다.

<39> 첨부 도면을 참조하여 본 발명 반도체소자의 커패시터 제조방법에 대하여 설명하면 다음과 같다.

<40> ,도 2a 내지 도 2e는 본 발명에 따른 반도체소자의 커패시터 제조방법을 나타낸 공정단면도이다.

<41> 본 발명에 따른 반도체소자의 커패시터 제조방법은 반도체기판(도면에는 도시되지 않았음) 상측에 도전층을 증착하고, 도전층상에 감광막 패턴을 형성하고, 감광막 패턴을 마스크로 도전층을 식각하여 하부전극을 형성하고, 상기 하부전극과 반응하여 휘발성을 나타내지 않는 식각가스로 감광막을 제거하고, 상기 하부전극의 표면에 유전체막과 상부전극을 차례로 형성하여 진행한다.

- <42> 다시말해서, Ru나 이의 산화물인 RuO_2 나 Ru와 합금된 금속물질로 형성된 하부전극을 감광막을 마스크로 제거한 후에, 하부전극과 반응하여 휘발성을 나타내지 않는 식각가스로 감광막을 제거하는 것이다.
- <43> 이때 식각가스로는 H_2O , NH_3 , N_2 중 하나를 선택하여 사용하거나, H_2+O_2 에서 H_2 의 비율을 O_2 보다 작게한 혼합가스를 사용하거나, $\text{H}_2\text{O}+\text{NH}_3+\text{N}_2$ 의 혼합 가스를 사용하거나, N_2+NH_3 나 $\text{NH}_3+\text{H}_2\text{O}$ 나 $\text{N}_2+\text{H}_2\text{O}$ 의 혼합가스를 사용할 수 있다.
- <44> 상기와 같이 내용을 그 요지로 하는 본 발명 반도체소자의 커패시터 제조방법을 좀더 자세하게 설명하면 다음과 같다.
- <45> 먼저, 도면에는 도시되지 않았지만 반도체기판의 일영역에 게이트산화막과 게이트전극을 적층 형성하고, 상기 게이트전극 양측의 반도체기판내에 소오스영역과 드레인영역을 형성한다.
- <46> 그리고 소오스영역이나 드레인영역에 콘택홀을 갖도록 도 2a에 도시한 바와 같이 층간절연막(101)을 형성한다.
- <47> 이후에 상기 콘택홀을 포함한 층간절연막(101)상에 폴리실리콘이나 텅스텐 또는 저항이 낮은 도전성 물질을 증착한다.
- <48> 그리고 상기 도전성 물질이 상기 콘택홀내에만 형성되도록 에치백이나 화학적 기계적 연마공정을 진행하여 콘택홀에 콘택플러그(102)를 형성한다.
- <49> 이후에 상기 콘택플러그(102)를 포함한 전면에 질화막(103)을 증착하고, 상기 질화막(103)상에 화학 기상 증착법으로 산화막(104)을 증착한다.
- <50> 이때 질화막(103)은 500Å 정도의 두께를 갖도록 증착한다.

- <51> 다음에 도 2b에 도시한 바와 같이 상기 산화막(104)상에 감광막(도면에 도시되지 않았음)을 도포한 후에 콘택플러그(102) 상부 및 이에 인접한 층간절연막(101)상의 감광막이 제거되도록 노광 및 현상공정으로 감광막을 선택적으로 패터닝한다.
- <52> 이후에 패터닝된 감광막을 마스크로 상기 산화막(104)과 질화막(103)을 차례로 식각 콘택플러그(102)와 그에 인접한 층간절연막(101)이 U자 모양으로 노출되도록 한다.
- <53> 그리고 도 2c에 도시한 바와 같이 질화막(103)과 산화막(104) 및 콘택플러그(102)와 층간절연막(101)상에 베리어막(105)과 도전층(106)을 각각 200 Å 정도의 두께를 갖도록 차례로 증착한다.
- <54> 이때 베리어막(105)은 도전층(106)과 산화막(104)과의 밀착성을 좋게하기 위해 형성하는 것인데, 콘택홀내의 콘택플러그(104)상에만 형성할 수도 있다.
- <55> 그리고 상기 도전층(106)은 Ru나 이의 산화물인 RuO₂나 Ru와 합금된 금속물질로 형성한다.
- <56> 그리고 산화막(104) 사이의 도전층(106) 상부를 포함한 전면에 감광막(107)을 도포한 후에, 상기 산화막(104)상의 도전층(106) 상부와 산화막(104)사이의 도전층(106)의 측면이 드러나도록 감광막(107)을 에치백하여 제거한다.
- <57> 다음에 에치백된 감광막(107)을 마스크로 상기 산화막(105)상이 노출되도록 상기 도전층(106)과 베리어막(105)을 차례로 제거하여 도 2d에 도시한 바와 같이 서로 격리된 U자 모양의 베리어막(105)과 하부전극(106a)을 형성한다.
- <58> 이와 같이 하부전극(106a)을 서로 격리시켜서 셀의 분리가 이루어지도록 한다.
- <59> 상기에서 하부전극(106a)의 식각은 Ar+Cl₂ 플라즈마 가스를 이용하여 실시한다.

- <60> 이후에 상기 하부전극(106a)을 구성하는 Ru나 이의 산화물인 RuO_2 나 Ru와 합금된 금속물질과 반응하여 휘발성을 나타내지 않는 식각가스를 사용하여 상기 감광막(107)을 제거한다.
- <61> 상기에서 식각가스로는 H_2O , NH_3 , N_2 중 하나를 선택하여 사용하거나, H_2+O_2 에서 H_2 의 비율을 O_2 보다 작게한 혼합가스를 사용하거나, $\text{H}_2\text{O}+\text{NH}_3+\text{N}_2$ 의 혼합 가스를 사용하거나, N_2+NH_3 나 $\text{NH}_3+\text{H}_2\text{O}$ 나 $\text{N}_2+\text{H}_2\text{O}$ 의 혼합가스를 사용할 수도 있다.
- <62> 다음에 도 2e에 도시한 바와 같이 상기 하부전극(106a) 사이의 산화막(104)과 질화막(103)을 차례로 제거한다.
- <63> 그리고 하부전극(106a)을 포함한 전면에 고유전막(108)과 도전층을 차례로 형성한 후에 이웃하는 하부전극(106a)상의 도전층과 고유전막(108)이 서로 격리되도록 차례로 제거하여서 고유전막(108)과 상부전극(109)을 적층 형성한다.
- <64> 이때 도전층도 하부전극과 같이 Ru나 RuO_2 나 Ru와 합금된 금속물질로 형성한 후에, 서로 격리되는 상부전극(109)을 형성하기 위해서 감광막을 도포하고 선택적으로 패터닝한 후에, 패터닝된 감광막을 마스크로 도전층을 제거하여 서로 격리된 상부전극(109)을 형성한다.
- <65> 이후에 상기 하부전극(106a)을 식각한 가스를 이용하여 패터닝된 감광막을 제거한다.
- <66> 이와 같은 공정을 진행하여 상부전극(109)과 고유전막(108)과 하부전극(106a)으로 구성된 U자 모양의 커패시터를 완성한다.

【발명의 효과】

<67> 상기와 같은 본 발명 반도체소자의 커패시터 제조방법은 다음과 같은 효과가 있다.

<68> Ru나 RuO₂나 Ru가 합금된 금속물질로 구성된 하부전극을 식각한 감광막 마스크를 하부전극과 반응하여 휘발성을 나타내지 않는 식각가스를 이용하여 제거함으로써 하부전극의 손상을 방지하여 공정수율을 증대시킬 수 있다.

【특허청구범위】**【청구항 1】**

기판상부에 도전층을 증착하는 단계,
상기 도전층상에 감광막 패턴을 형성하는 단계,
상기 감광막 패턴을 마스크로 상기 도전층을 식각하여 하부전극을 형성하는 단계,
상기 하부전극과 반응하여 휘발성을 나타내지 않는 식각가스로 상기 감광막을 제거하는 단계,
상기 하부전극의 표면상에 유전체막과 상부전극을 차례로 형성하는 단계를 포함함을 특징으로 하는 반도체소자의 커패시터 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 상부, 하부전극은 Ru나 RuO₂나 Ru의 합금물질로 형성함을 특징으로 하는 반도체소자의 커패시터 제조방법.

【청구항 3】

제 1 항에 있어서, 상기 식각가스로는 H₂O, NH₃, N₂ 중 하나의 가스나, H₂의 비율이 O₂보다 작은 H₂O₂ 혼합가스나, H₂O+NH₃+N₂의 혼합가스나, H₂+NH₃, NH₃+H₂O, N₂+H₂O의 혼합가스 중 택일하여 사용함을 특징으로 하는 반도체소자의 커패시터 제조방법.

【청구항 4】

반도체기판의 일영역에 도전영역을 형성하는 단계,
상기 도전영역에 콘택홀을 갖는 층간절연막을 형성하는 단계,
상기 콘택홀내에 콘택플러그를 형성하는 단계,

상기 콘택플러그 및 그에 인접한 상기 층간절연막이 드러나도록 상기 층간절연막의 일영역상에 절연막 패턴을 형성하는 단계,

상기 콘택플러그와 상기 절연막 패턴을 포함한 상기 전면에 베리어막과 제 1 도전층을 차례로 증착하는 단계,

상기 절연막 패턴 사이의 상기 콘택플러그 상부 영역에 감광막을 형성하는 단계,

상기 감광막을 마스크로 상기 절연막 패턴상의 상기 제 1 도전층과 상기 베리어막을 차례로 제거하여 하부전극과 베리어막을 형성하는 단계,

상기 하부전극과 반응하여 휘발성을 나타내지 않는 식각가스로 상기 감광막을 제거하는 단계,

상기 절연막 패턴을 제거하는 단계,

상기 하부전극과 상기 베리어막 표면에 유전체막과 상부전극을 차례로 형성하는 단계를 포함함을 특징으로 하는 반도체소자의 커패시터 제조방법.

【청구항 5】

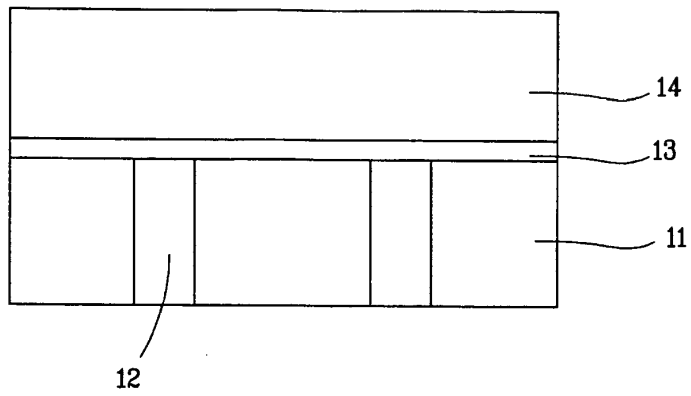
제 4 항에 있어서, 상기 하부전극은 Ru나 RuO_2 나 Ru의 합금물질로 형성함을 특징으로 하는 반도체소자의 커패시터 제조방법.

【청구항 6】

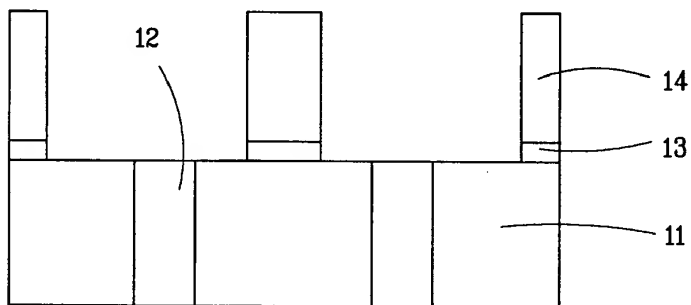
제 4 항에 있어서, 상기 식각가스로는 H_2O , NH_3 , N_2 중 하나의 가스나, H_2 의 비율이 O_2 보다 작은 H_2O_2 혼합가스나, $\text{H}_2\text{O}+\text{NH}_3+\text{N}_2$ 의 혼합가스나, H_2+NH_3 , $\text{NH}_3+\text{H}_2\text{O}$, $\text{N}_2+\text{H}_2\text{O}$ 의 혼합가스 중 택일하여 사용함을 특징으로 하는 반도체소자의 커패시터 제조방법.

【도면】

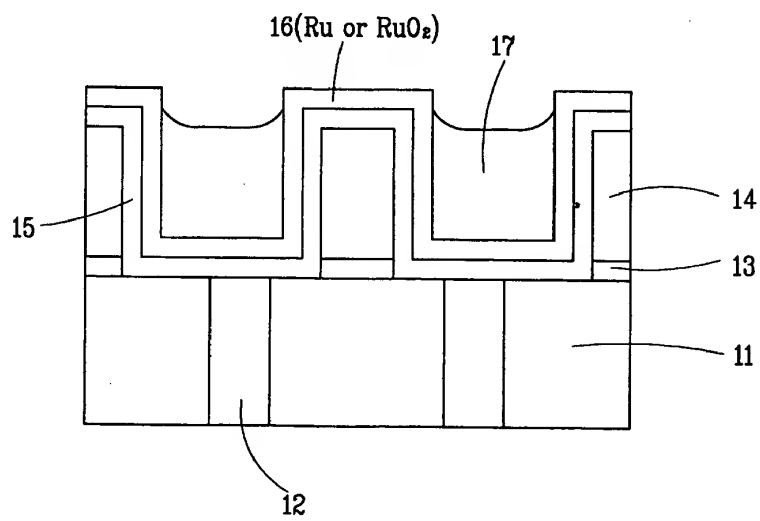
【도 1a】



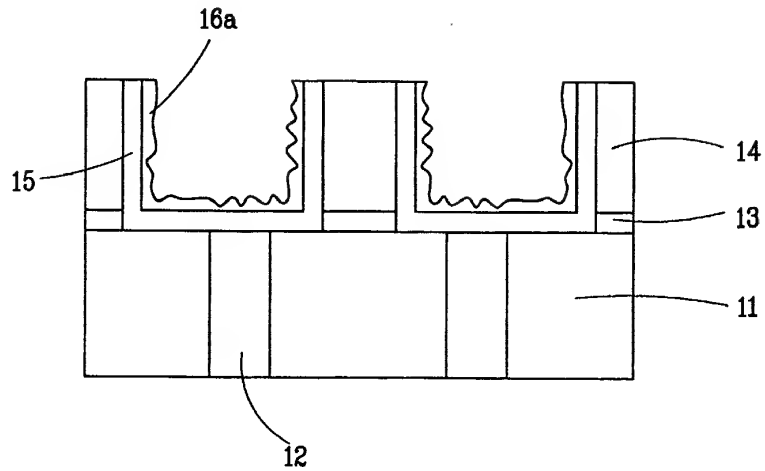
【도 1b】



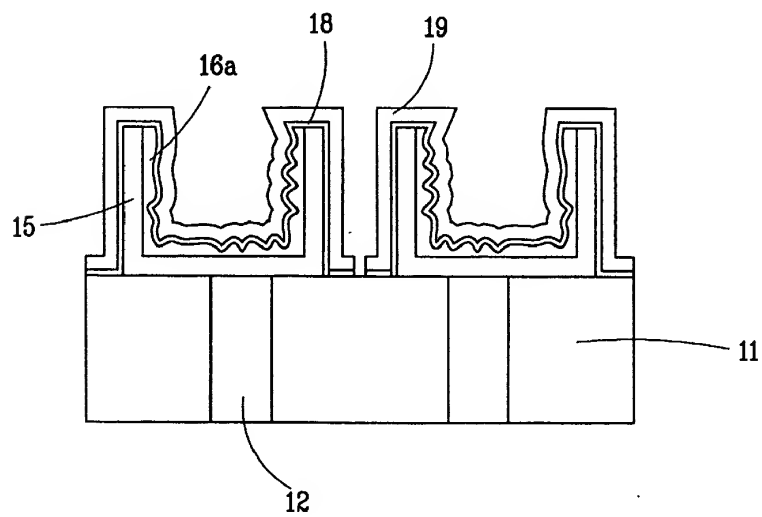
【도 1c】



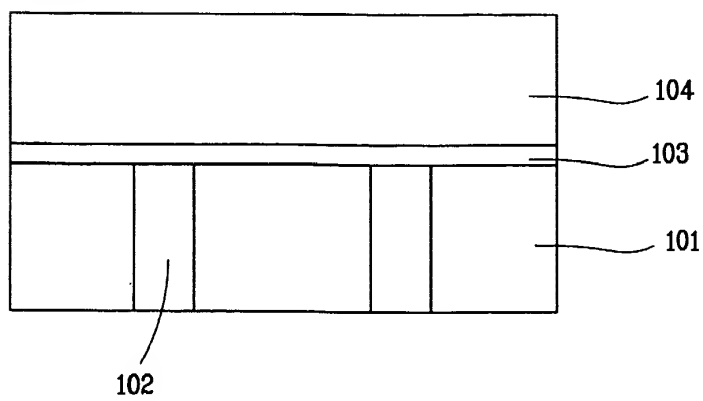
【図 1d】



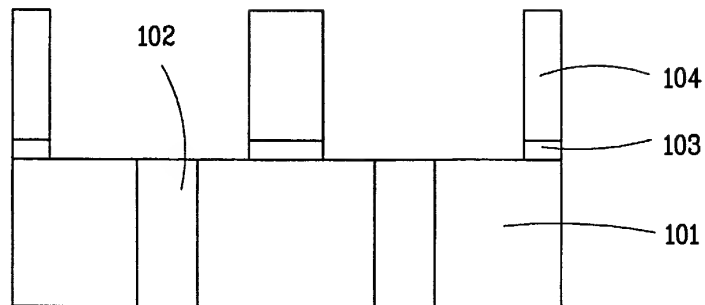
【図 1e】



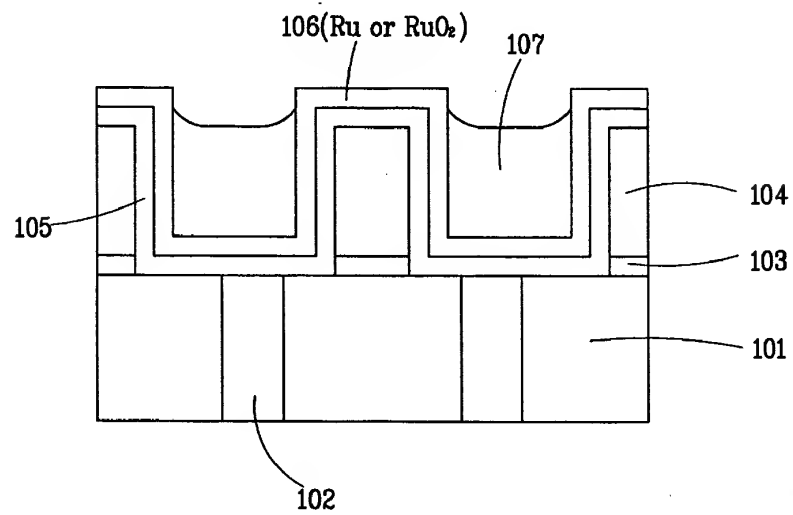
【図 2a】



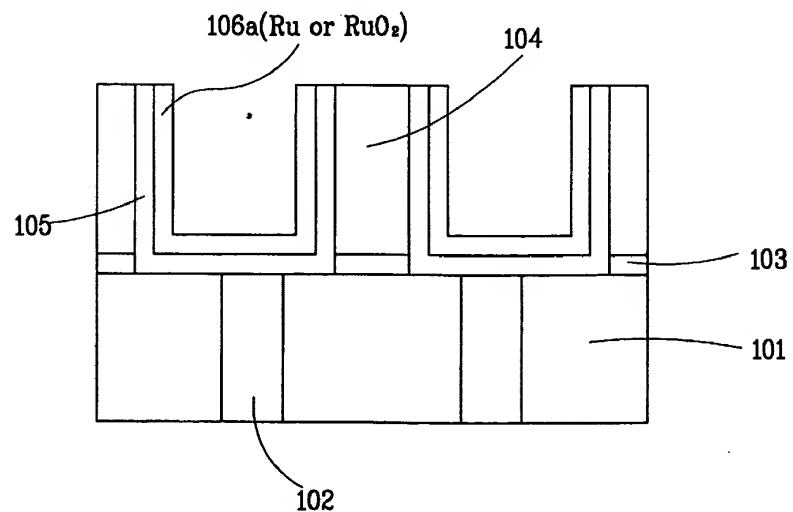
【図 2b】



【図 2c】



【図 2d】



【図 2e】

